

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259394

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H01L 27/04

(21)Application number : 04-310129

(71)Applicant : SGS THOMSON MICROELECTRON  
INC

(22)Date of filing : 19.11.1992

(72)Inventor : BISHOP WILLIAM A  
ZAMANIAN MEHDI  
CHAN TSU C

(30)Priority

Priority number : 91 794488

Priority date : 19.11.1991

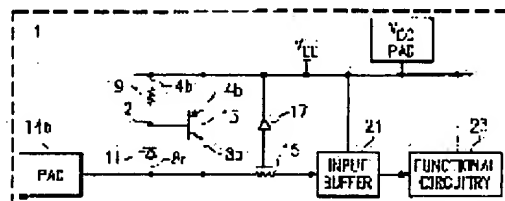
Priority country : US

## (54) PROTECTIVE STRUCTURE AGAINST ELECTROSTATIC DISCHARGE

### (57)Abstract:

PURPOSE: To provide a structure for implementing an electrostatic discharge protective circuit in an integrated circuit.

CONSTITUTION: A protective circuit has a diode 11 acting as a trigger unit, and a lateral bipolar transistor 13. The lateral bipolar transistor 13 employs a first diffusion region connected with an external terminal, i.e., a collector region, and a second diffusion region, i.e., an emitter, on the side opposite to a first field oxide. It is further connected with a substrate or an epitaxial layer, i.e., a base. When a junction breakdown takes place in the diode 11, the base-emitter junction of the lateral bipolar transistor 13 is forward biased, and the transistor is turned off. Consequently, the internal circuit 23 is protected.



## LEGAL STATUS

[Date of request for examination]

08.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3221942

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259394

(43)公開日 平成5年(1993)10月8日

(51) Int.Cl.<sup>5</sup>

H O I L 27/04

識別記号

庁内整理番号

H 8427-4M

FI

### 技術表示箇所

審査請求 未請求 請求項の数20(全 11 頁)

(21)出願番号 特願平4-310129

(22)出願日 平成4年(1992)11月19日

(31)優先権主張番号 7 9 4 4 8 8

(32)優先日 1991年11月19日

(33)優先權主張国 米国 (U S)

(71)出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド  
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドラ  
イブ 1310

(74)代理人 弁理士 小橋 一男 (外1名)

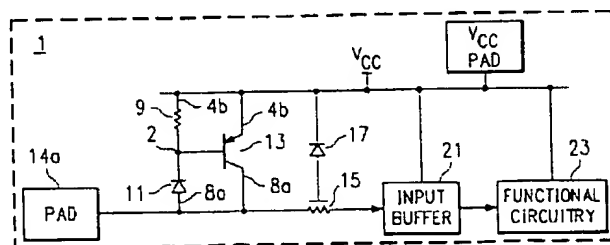
[最終頁に続く](#)

(54)【発明の名称】 静電放電保護構成体

(57) 【要約】 (修正有)

【目的】 静雷放雷保護回路を集積回路内において実現するための構成体を提供する。

【構成】 保護回路は、トリガ用装置として作用するダイオード 1 1 及び横方向バイポーラトランジスタ 1 3 を有している。横方向バイポーラトランジスタは、第一拡散領域を使用しており、該領域に対して、外部端子がコレクタ領域として接続されており、該拡散領域から第一フィールド酸化物構成体と反対側の第二拡散領域がエミッタとして接続されており、且つ基板乃至はエピタキシャル層がベースとして接続されている。ダイオード 1 1 が接合ブレイクダウンを発生すると、横方向トランジスタ 1 3 のベース・エミッタ接合が順方向バイアスされそのトランジスタはターンオンされる。それにより内部回路 2 3 が保護される。



## 【特許請求の範囲】

【請求項 1】 集積回路用の ESD 保護回路において、第一及び第二端子が設けられており、前記第一端子は前記集積回路外部から外部的に信号を通信し、第一導電型にドーピングされており且つ前記第一端子に接続されている本体の半導体表面における第一ドーピング領域が設けられており、前記半導体表面は第二導電型であり、前記表面に第一絶縁性構成体が設けられており、前記第一絶縁性構成体は前記第一ドーピング領域の外側端部を画定しており、その下側の前記表面の一部は第二導電型であり、前記表面において且つ前記第一絶縁性構成体を取囲んで第二ドーピング領域が設けられており、前記第二ドーピング領域は第一導電型であり且つ前記第二端子に結合されており、前記表面において且つ前記第二ドーピング領域を取囲んで第二絶縁性構成体が設けられており、前記第二ドーピング領域の周囲回りの前記第二絶縁性構成体の長さの実質的な部分がそれを横断して実質的に一様な距離を有しており、前記表面において且つ前記第二絶縁性構成体を取囲んで第三ドーピング領域が設けられており、前記第三ドーピング領域は第二導電型であり且つ前記第二端子へ結合されていることを特徴とする回路。

【請求項 2】 請求項 1 において、更に、前記第一絶縁性構成体の下側に位置して第四ドーピング領域が設けられており、前記第四ドーピング領域は第二導電型であり且つ前記半導体表面よりも一層高度にドーピングされていることを特徴とする回路。

【請求項 3】 請求項 1 において、前記第二絶縁性構成体を横断する距離は前記第一絶縁性構成体を横断する距離よりも一層大きいことを特徴とする回路。

【請求項 4】 請求項 1 において、更に、第一導電型であり且つ前記第一ドーピング領域の一部の下側に位置して第一ウエル領域が設けられていることを特徴とする回路。

【請求項 5】 請求項 4 において、前記第一端子が金属コンタクトにより前記第一ドーピング領域へ接続されており、且つ前記第一ウエル領域が前記金属コンタクトの位置の下側に存在していることを特徴とする回路。

【請求項 6】 請求項 5 において、前記第一ウエル領域が前記第一絶縁性構成体に隣接する前記第一ドーピング領域の一部の下側には存在しないことを特徴とする回路。

【請求項 7】 請求項 5 において、更に、第一導電型であり且つ前記第二ドーピング領域の一部の下側に位置して第二ウエル領域が設けられており、前記第二端子が金属コンタクトにより前記第二ドーピング領域へ接続されており、且つ前記第二ウエル領域が前記第二ドーピング領域に対する前記金属コンタクトの位置の下側に位置していることを特徴とする回路。

【請求項 8】 請求項 1 において、前記第一端子が入力端子であることを特徴とする回路。

【請求項 9】 請求項 8 において、更に、入力バッファ回路が設けられており、且つ前記第一ドーピング領域と前記

入力バッファ回路との間に接続して抵抗が設けられていることを特徴とする回路。

【請求項 10】 請求項 1 において、前記第一端子が出力端子であることを特徴とする回路。

【請求項 11】 本体の第一導電型の半導体表面に形成されており且つ第一端子と電源端子とを具備する集積回路における静電放電に対する保護回路において、前記第一端子へ接続した第一側部と前記半導体表面へ接続した第二側部とを具備するダイオードが設けられており、前記表面に形成されており且つ前記ダイオードの前記第一側部に接続された第二導電型のコレクタ領域と、前記表面に形成されており且つ前記電源端子へ結合されており且つそれらの間の前記表面における第一絶縁性構成体により前記コレクタ領域から分離されている第二導電型のエミッタ領域と、前記表面に形成されており且つ前記電源端子へ結合されている第一導電型のベースコンタクトとを具備する横方向バイポーラトランジスタが設けられており、前記エミッタ領域及び前記第一絶縁性構成体は前記コレクタ領域の周囲を取囲んでおり、前記ベースコンタクトは前記表面において第二絶縁性構成体により前記エミッタ領域から分離されており、前記ベースコンタクト及び前記第二絶縁性構成体は前記エミッタ領域の周囲を取囲んでおり、前記第二絶縁性構成体の下側で前記半導体表面の一部により画定された抵抗が設けられており、前記第二絶縁性構成体を横断しての距離はその長さのほとんどに亘り実質的に一様であり、前記抵抗の値は接合ブレイクダウンにおける前記ダイオードに応答して前記表面と前記エミッタ領域との間の接合を順方向バイアスするのに十分であることを特徴とする回路。

【請求項 12】 請求項 11 において、前記第一導電型が N 型であり且つ前記第二導電型が P 型であることを特徴とする回路。

【請求項 13】 請求項 12 において、更に、前記第一絶縁性構成体の下側に N 型ドーピング領域が設けられており、前記 N 型ドーピング領域は前記半導体表面よりも一層高度にドーピングされていることを特徴とする回路。

【請求項 14】 請求項 11 において、更に、前記第一絶縁性構成体の下側に第一導電型のドーピング領域が設けられており、前記ドーピング領域は前記半導体表面よりも一層高度にドーピングされていることを特徴とする回路。

【請求項 15】 請求項 11 において、更に、前記第一端子に結合して機能回路が設けられていることを特徴とする回路。

【請求項 16】 請求項 15 において、更に、前記第一端子と前記機能回路との間に結合して入力バッファが設けられていることを特徴とする回路。

【請求項 17】 請求項 11 において、前記第二絶縁性構成体を横断しての前記距離は前記第一絶縁性構成体を横断しての距離よりも著しく大きいことを特徴とする回路。

【請求項18】 請求項11において、前記第一端子は前記コレクタ領域への金属コンタクトにより前記ダイオードの前記第一側部へ結合されており、且つ、更に、前記金属コンタクトが前記コレクタ領域に対して形成されている位置の下側において第二導電型のウエルが設けられていることを特徴とする回路。

【請求項19】 請求項11において、前記ダイオードの前記第一側部が前記エミッタ領域から構成されていることを特徴とする回路。

【請求項20】 請求項19において、前記第一絶縁性構成体に隣接する前記エミッタ領域の一部が、前記半導体表面と冶金的接合を有することを特徴とする回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路の分野に関するものであって、更に詳細には、外部端子に接続された装置であってその様な端子における静電放電に対する保護を与えるための装置の構成に関するものである。

【0002】

【従来の技術】静電放電（ESD）からの損傷は、最近の集積回路における顕著な故障のメカニズムであり、特に、集積回路の物理的寸法がサブミクロン範囲に縮小するに従いその傾向は顕著である。電気的には、集積回路端子の一つ又はそれ以上の端子が、静電的に高電圧に充電された（最大で数千ボルトの程度）本体と接触することにより発生する。このレベルの静電荷は、人間又は製造装置に対して作用する摩擦電気効果及びその他のメカニズムにより容易に発生される。接触すると、集積回路は、その活性装置及びDC電流経路を介して、充電された本体を放電させる。しかしながら、電荷量が過剰であると、放電電流密度が集積回路を損傷する場合があります。従って、その場合には、集積回路装置はもはや機能的なものではなくなるか、又は集積回路がその後に寿命に関した故障を発生する可能性が高まる。従って、ESD損傷は、製造における歩留り損失の原因であり、且つ使用上における信頼性欠如の原因である。

【0003】当該技術分野において、各集積回路内に、該回路の外部端子へ接続してESD保護装置を設けることが一般的である。ESD保護装置は、ESDが発生した場合に充電された本体により安全に電荷を放電させるが、通常動作において集積回路の機能性を損なうものではないように十分な能力を有する電流経路を与えるべく構成されている。ESD保護装置を設けることは、必然的に、回路性能を劣化させる寄生的効果を発生し、例えば直列抵抗などのある場合においては、ESD保護装置は電氣的性能に直接的に遅延を加えることとなる。従って、ESD保護装置に対する所望の目標は、ESDイベント期間中に容易にトリガされるが、通常動作期間中に決してトリガされることはなく、且つ回路性能に与える影響が最小である高い能力の電流経路を提供することで

ある。

【0004】バイポーラ集積回路用の従来のESD保護装置の一例は、Avery著「集積回路における過渡的保護構成体としてのSCRの使用（Using SCRs as Transient Protection Structures in Integrated Circuits）」、電氣的過大応力／静電放電シンポジウムプロシーディングズ、（IITリサーチインスティテュート、1983）177-180頁の文献に記載されている。この文献に記載されている保護装置は縦型シリコン制御型整流器（SCR）である。公知の如く、SCRはほとんど抵抗なしで比較的大きな量の電流を導通させることが可能であり、特に、「スナップバック」即ち「負抵抗」領域において動作すべくトリガされる場合にそうである。

【0005】ESD感度は、特に、金属-酸化物-半導体（MOS）回路において鋭敏である。なぜならば、このような回路は、バイポーラ回路における場合の如く、埋め込み層に対する縦方向の導通に対して、横方向の表面導通に主に依存するものだからである。更に、MOSトランジスタのゲート絶縁膜は通常過剰電圧条件に対して極めて感度が高く、特に、10nm以下の程度の厚さの極めて薄いゲート絶縁膜を有する最近の回路においてそのことがいえる。MOS回路において有用な横方向SCRの一例は、Rountree et al. 著「アドバンスドCMOSプロセス用の処理寛容性入力保護回路（A Process-Tolerant Input Protection Circuit for Advanced CMOS Processes）」、電氣的過大応力／静電放電シンポジウムプロシーディングズ、（EOS/ESDアソシエーション及びIITリサーチインスティテュート、1988）201-205頁の文献に記載されている。図2に関して202頁に記載されている如く、この横方向SCRはNウェルと、P基板と共通端子へ接続されているN+領域とにより形成される寄生NPNトランジスタを有しており、一方寄生PNPトランジスタは、端子に接続されたP+領域と、Nウェルと、P基板とにより形成される。

【0006】横方向SCRを組込んだMOS技術に適した別の保護方法は、1990年1月23日に発行された米国特許第4,896,243号に記載されている。この方法においては、SCRと並列接続されたフィールドプレートダイオードが、ESDイベントにตอบสนองして、最初にターンオンする。より能力が高いが始動がより遅い横方向SCRが、該文献の5欄36行乃至43行に記載される如く、接合ブレイクダウンによりその後トリガされる。

【0007】更に別の技術的背景としては、1987年9月8日に発行された米国特許第4,692,781号は、MOS集積回路におけるESD保護装置として使用

される厚いフィールド酸化膜のトランジスタを記載している。この文献は、更に、この様な装置の構成において有用な特定のレイアウト検討事項、特に、拡散に対する金属コンタクトと該拡散の端部との間の距離に関して記載している。

【0008】更に別の技術的背景としては、1989年8月8日付で発行された米国特許第4,855,620号は、出力装置用のESD保護方法を記載している。この文献によれば、厚いフィールド酸化膜トランジスタが出力ドライバトランジスタと並列に接続されており、且つドライバの電源供給電圧よりも高い電圧でターンオンし、従って通常の動作が影響を受けることはない。1991年6月4日付で出願し本願出願人に譲渡されており「ESD保護回路(ESD Protection Circuit)」という名称の米国特許出願第711,549号は、特に出力装置に対しての、ESD保護装置として有用な横方向NPNバイポーラトランジスタを記載している。

【0009】更に別の技術的背景として、従来技術に基づく別のESD保護方法を、図5a及び5bを参照して以下に説明する。この方法は、従来の集積回路において、共通入力/出力端子を包含する出力端子に関して使用されている。図5aに示した如く、N型基板102は表面において幾つかのフィールド酸化膜分離構成体106を有しており、それらの間に幾つかの活性領域108, 110, 111を画定している。層間絶縁層112が該構成体の上側に設けられており、金属電極114がそれを介して下側に存在する活性領域108, 110, 111と接触している。N型ウエル104は、メタリゼーション114がN型活性領域108とコンタクト即ち接触する位置の下側に配設されている。更に、この従来方法においては、 $V_{SS}$ メタリゼーション114b及びN+領域108b, 108cがボンドパッドPADの四つの全ての側部の上に存在している。

【0010】図5bに示した如く、図5aの構成がNチャンネルプッシュプル出力ドライバ内に組込まれている。図5aのN型活性領域111は、図5bのN型ブルダウントランジスタ115のドレインである。図5aの構成体は、パッドPADへ接続された横方向バイポーラトランジスタ111を有しており、該トランジスタは、コレクタとしてN+領域108aと、ベースとして基板102と、エミッタとしてN+領域108bとを有しており、図5aに示した如く、エミッタ領域108bは金属電極114bにより接地( $V_{SS}$ )へ接続されている。更に、コレクタ・ベースダイオードが与えられており、N+領域108aはカソードと考えられ且つ基板102はアノードと考えられる。同様な横方向バイポーラトランジスタがブルアップトランジスタ117と並列に形成されている。

【0011】この従来構成体においては、P+領域1

10がP型基板102と接触しており、且つ、通常動作において、電荷ポンプにより負電圧 $V_{bb}$ へ駆動され、集積回路内のトランジスタに対して(例えば、図5bの出力ドライバのトランジスタ115, 117)へバックゲートバイアスを提供する。しかしながら、ESDイベントは、通常、集積回路がパワーアップされていない場合に発生するので、基板102は、ESDイベント期間中に、実効的にフローティング状態にある。

【0012】上述した如く、ESDイベント期間中に安全に電荷を導通する実効的な方法としてバイポーラ導通が公知である。しかしながら、図5a及び図5bの方法においては、N+領域108aと基板102との間のダイオードのブレイクダウンを発生させるために十分に正の電圧をパッドPADに印加すると、寄生バイポーラトランジスタ113の状態は不定となる。何故ならば、トランジスタ113のベース(即ち、基板102)がフローティング状態にあるからである。バイポーラトランジスタ113の実効的ベース抵抗が小さい場合には、損傷を発生するレベルの放電電流の場合であっても、バイポーラトランジスタ113はターンオンすることはない。

(ベース・エミッタ電圧はベース・エミッタ接合を順方向バイアスするのには不十分である。)更に、N+領域108b, 108cがパッドPADを取り囲んでいるが、ベースコンタクト領域110はそうではない。そうであるから、該トランジスタの実効ベース幅は制御されることはなく、ある箇所において電流クラウディングが発生する可能性があり、バイポーラ導通を制限する(但し、開始された場合)。

【0013】

【発明が解決しようとする課題】本発明は、制御されるベース抵抗を回路内に容易に構成することが可能であり、従って寄生バイポーラトランジスタESD保護装置の安定な動作を与えるESD保護方法及び装置を提供することを目的とする。本発明の別の目的とするところは、大きなベース幅のバイポーラトランジスタESD保護装置を提供し、従って大きな放電能力を提供することである。本発明の更に別の目的とするところは、ESD保護を行なうためのターンオン電圧及び電流を制御する改良した技術を提供することである。本発明の更に別の目的とするところは、通常の動作において与える性能の劣化が最小であるような上述した技術を提供することである。本発明の更に別の目的とするところは、バイポーラトランジスタが熱暴走から保護されている技術を提供することである。

【0014】

【課題を解決するための手段】本発明は、制御され且つ一様な直列ベース抵抗を有する横方向バイポーラトランジスタにより集積回路内に組込むことが可能である。本回路の外部端子は、寄生バイポーラトランジスタのコレクタへ接続されている。該コレクタは、フィールド酸化

物構成体によりエミッタ領域から分離されている。金属が、ウエル上方の位置において高度にドーブされたコレクタ領域及びエミッタ領域と接触しており、従って高度にドーブした領域を介しての接合スパイクはリークを発生することはなく、これらのウエルはフィールド酸化膜領域の端部から引戻されており、従ってコレクタ・ベース接合ブレイクダウン電圧は過剰に高いものではない。第二フィールド酸化膜構成体がエミッタ領域とベースコンタクトの間に設けられており、且つESDイベントにより発生されるブレイクダウン電流の結果として、寄生ベース・エミッタ接合が順方向バイアスされ、バイポーラ導通が開始されるような充分な寄生ベース抵抗をバイポーラトランジスタ内に与えるために選択された長さを有している。

【0015】

【実施例】最初に、図1を参照すると、本発明の好適実施例に基づいて集積回路1内に構成された入力保護回路を詳細に説明する。本発明のこの実施例においては、パッド14aが集積回路1の外部端子として作用する。当該技術分野において公知の如く、パッド14aはワイヤーボンド又はその他のリードによりパッケージピン又は外部端子へ接続されている。従って、信号は、集積回路の通常動作期間中に、パッド14aにおいて受取られるか又はそこに供給され、一方、パッド14aがバイアス又は基準電圧を受取ることが可能である。図1に示した本発明の実施例は、集積回路1への入力端子に関連して使用される。

【0016】電源電圧 $V_{CC}$ が本発明のこの実施例と関連して使用されており、且つ、図1に示した如く、集積回路の別の端子において受取られる。更に、一例として、本発明のこの実施例の回路はN型基板内に製造され、そのような場合、ESD保護用の横方向PNPバイポーラトランジスタの製造が簡単化される。この例においては、横方向PNPバイポーラトランジスタ13は、そのエミッタを $V_{CC}$ へ接続しており且つそのコレクタをパッド14aへ接続している。ダイオード11は、そのアノードをトランジスタ13のコレクタへ接続しており、且つそのカソードをバイポーラトランジスタ13のベースへ接続しており、更に抵抗9を介して電源電圧を $V_{CC}$ へ接続している。以下に説明する如く、抵抗9は、トランジスタ11のベース・エミッタ接合がダイオード11の接合ブレイクダウン時に順方向バイアスされることを確保すべく選択されている。この例においては、抵抗9の抵抗値は、好適には、500Ωの程度である。

【0017】上述した如く、この例におけるESD保護方法は、集積回路1への入力に関連して使用されており、その場合に、集積回路1はMOS技術に従って製造される。従って、パッド14aは、集積回路1内の機能回路23への経路上において、入力バッファ21へ結合される。入力バッファ21における装置の寸法は、性能

上の理由から、通常、極めて小型に維持されており、従って、ESDイベントに対する入力バッファ21の放電能力は極めて限定されている。従って、この場合における如く、本回路のESDによって影響を受けることを更に減少させるために、パッド14aと入力バッファ21との間に接続して直列抵抗15を設けることが一般的である。直列抵抗15は、通常、1000Ωの程度の抵抗値を有している。この例においては、抵抗15は、N型基板内に形成したP型拡散抵抗であり、従って、 $V_{CC}$ へダイオード結合されている（ $V_{CC}$ はN型基板へ結合されている）。しかしながら、以下に説明する如く、本発明に基づく方法乃至は構成は、直列抵抗15を省略することが可能であるような充分な能力を有するものであることが意図されている。

【0018】次に、図1と関連して図2を参照すると、本発明の好適実施例に基づく入力保護回路の構成について説明する。物理的な構成を参照する図2中の参照番号は、図1においても、回路図内のそれらの位置を表わすために使用されている。

【0019】本発明のこの実施例においては、集積回路が $6 \times 10^{14}$ 原子数/cm<sup>3</sup>のオーダーの不純物濃度を有する比較的軽度ドーブされたN型基板内に形成されたNウエル3の表面に製造される。一方、N型領域には、それ自身、活性表面として作用することが可能であり、更に、別の実施形態においては、ウエル3が形成される（又は、場合により、形成されることのない）N型領域には、基板上か、又はシリコン・オン・インシュレータ（絶縁体上のシリコン）の場合には、例えば二酸化シリコン又はサファイヤなどの絶縁層上に形成したエピタキシャル層とすることが可能である。その説明から明らかな如く、本発明は、P型ウエルをその中に形成するか形成しない状態で、P型基板又はエピタキシャル層内に構成することが可能であり、従って、NPNバイポーラトランジスタを形成し且つ同一の利点を確保している。

【0020】基板2の表面の選択部分において、表面の活性領域を従来の態様で互いに分離するためのフィールド酸化膜構成体6a、6bが設けられている。フィールド酸化膜構成体6a、6bは、例えばシリコン局所酸化（LOCOS）などの従来の方法及びその修正方法に従って形成することが可能である。更に、フィールド酸化膜構成体6を形成する前又はそれを介してのいずれかにおいてチャンネルストップ注入を実施することが可能であり、それにより従来の態様で、両側の活性領域間の寄生フィールド酸化膜トランジスタのスレッショールド電圧を増加させる。

【0021】例えばN型基板2の表面におけるNウエル3a、3bなどのようなN型単結晶物質の表面においてフィールド酸化膜構成体が形成される場合には、フィールド酸化膜構成体下側のチャンネルストップ注入は通常

実施されることはない。何故ならば、寄生Pチャンネルフィールド酸化膜トランジスタのスレッシュホールド電圧、及びそのパンチスルー電圧は、両方とも、通常充分に高いものであり、このような注入を行なうことを必要としないからである。しかしながら、本発明のこの実施例によれば、ESD保護回路の点火乃至は開始電圧は、フィールド酸化膜構成体6a下側の接合ブレイクダウン電圧により決定される。その結果、フィールド酸化膜構成体6a下側の不純物濃度を増加させて、その接合ブレイクダウン電圧を低下させ且つESDイベントにおけるESD保護回路の点火乃至は開始を容易とさせるために、本発明のこの実施例に基づいては、フィールド酸化膜構成体6下側のN型注入が好適である。フィールド酸化の前に実施されるこのような注入の一例は、60keVのエネルギーで $2.8 \times 10^{12}$ 原子数/cm<sup>2</sup>のドーズで注入物質としてリンを使用しその結果フィールド酸化膜構成体6の下側に $3 \times 10^{16}$ 原子数/cm<sup>3</sup>のオーダーの表面不純物濃度が得られる(図2においてN型領域7として示してある)。この注入は、本発明のこの実施例に基づくESD保護回路の点火乃至は開始電圧を設定することに加えて、更に、集積回路上のその他の箇所においてフィールド酸化膜トランジスタスレッシュホールド電圧及びパンチスルー電圧を増加させ、特に、活性領域間のフィールド酸化膜構成体6の長さが極めて狭い箇所において、N型ウエル又は基板領域においての分離を改善する。

【0022】図2の保護回路内において、高度にドーブしたP型領域8a、8bがフィールド酸化物構成体6aの両側に形成されている。P+領域8a、8bの深さ及び不純物濃度は、好適には、製造上の容易性のために、集積回路内におけるその他の箇所において形成されるPチャンネルトランジスタにおけるソース領域及びドレイン領域と同一である。P+領域8bは、更に、本発明のこの実施例においては、フィールド酸化物構成体6bにより高度にドーブしたN型領域10から分離されており、N型注入領域7が上に説明した如くその下側に形成されている。P+領域8a、8bの各々において、比較的軽度ドーブしたPウエル4a、4bがP+領域8a、8bよりも一層深くN型基板2内に延在している。例えば、P+領域8a、8bの接合深さが0.3μmの程度である箇所においては、ウエル4a、4bの深さは3.0μmの程度である。公知の相補的MOS(CMOS)処理技術に基づいてNチャンネルトランジスタが形成されている同一の集積回路上の他の箇所にはPウエル4a、4bと同様のPウエルが位置されている。Pウエル4a、4bの不純物濃度は、好適には、例えば $5 \times 10^{15}$ 原子数/cm<sup>3</sup>乃至 $5 \times 10^{16}$ 原子数/cm<sup>3</sup>の程度の範囲のNチャンネル活性トランジスタに対して所望のものに基づいて選択される。

【0023】高度にドーブしたN+領域10がP+領域

8bからフィールド酸化物構成体6aの反対側に形成されており、Nウエル3bに対するいわゆる「ストラップ」コンタクトとして作用している。当該技術分野において公知の如く、集積回路の通常の動作は、Nウエル3a、3bに対するすべての冶金的接合が逆バイアスされて基板リークを防止するものであることを必要とする。従って、通常動作においては、Nウエル3b(及びNウエル3b及びN型基板2を介してNウエル3a)が最も高い使用可能な通常動作電圧へバイアスされ、それは、この場合には、V<sub>CC</sub>電源である。N+領域10は、好適には、集積回路の他の箇所におけるNチャンネルトランジスタにおけるN+ソース/ドレイン領域と同一のステップで形成され、且つ、そうであるから、好適には、 $2 \times 10^{20}$ 原子数/cm<sup>3</sup>の程度の不純物濃度を有しており且つ0.15μmの程度の深さである。

【0024】従来の層間絶縁層12が、集積回路における他の箇所において設けられるのと同様の態様で、この保護回路におけるコンポーネントの上側に存在している。層間絶縁層12の一例は、CVDにより付着形成された二酸化シリコンの800nmの厚さの膜である。P+領域8a、8b及びN+領域10のそれぞれへ接触するために、層間絶縁層12を介してコンタクト開口18a、18b、18cがエッチングされている。例えば、シリコン、銅又は両方でドーブされているアルミニウム層の下側に存在するバリア金属層から構成されるメタリゼーション層14を層間絶縁層12の上側に形成し、従来の態様で、P+領域8a、8b及びN+領域10へコンタクト即ち接触する。次いで、従来のパターン形成及びエッチングを実施して、金属導体14a、14bの分離されたものを画定し、尚、この例においては、導体14aが外部信号を印加することが可能なボンダッドとして作用し、且つ導体14bはV<sub>CC</sub>電源電圧へ接続されている。

【0025】本発明のこの実施例によれば、P+ウエル4a、4bがメタリゼーション層14がP+領域8a、8bへそれぞれコンタクトする各位置の下側に存在している。従って、Pウエル4a、4bは、メタリゼーション膜14内のアルミニウム原子が例えばP+領域8a、8bを貫通してスパイクを発生したとしても、そのスパイクした金属はPウエル4a、4bとN型基板2との間のPN接合を短絡させるものでないことを確保している。公知の如く、このようなスパイク発生は集積回路の局部的加熱により加速され、ESDイベント期間中は電流密度が極めて高いものとなる場合があるので(時間は短いものであっても)、ESDイベントに対するP+領域8a、8bの露呈は、図2の構成体においては、メタリゼーション14a、14bからの接合スパイク発生の蓋然性を増加させている。メタリゼーション層14からP+領域8a、8b内へ及びそれを貫通してのアルミニウム原子の拡散に対する許容度は、本発明のこの実施例にお



いてはPウエル4a、4bにより与えられている。何故ならば、Pウエル4a、4bは、コンタクト18a、18bの直下の位置において、冶金的PN接合をメタリゼーション14a、14bから更に離れて基板2へ向けて移動させるからである。

【0026】更に、公知の如く、接合容量は冶金的接合のいずれの側、特に一層高い濃度の側における不純物濃度に依存する。その結果、Pウエル4a、4bは、P+領域8a、8bがN型基板2と接触している区域を減少し、且つ基板2との一層軽度ドーピングした界面を与える。従って、本発明のこの実施例におけるP+領域8a、8bにより提供される寄生接合容量は、ウエル8a、8bが存在しない場合のものと比較して著しく減少されている。従って、集積回路の通常動作性能に関する本保護装置の不所望の寄生的効果は、本発明のこの実施例においては著しく減少されている。

【0027】フィールド酸化物構成体6a及び上側に存在する層間絶縁層12をゲート絶縁膜として考え、P+領域8a、8bをそれぞれドレイン及びソースとして考え、且つパッド14aをゲート電極として考えて、規制PチャンネルMOSトランジスタが図2の構成の中に存在している。上述した如く、パッド14aもP+領域8aと接触しており、従ってこの寄生トランジスタのゲートはそのドレインへ接続している。メタリゼーション14bがP+領域8a、8bとコンタクトしており且つV<sub>CC</sub>へ接続している。この寄生トランジスタのバックバイアスノードはN+領域10及び基板2を介してV<sub>CC</sub>へバイアスされる。この構成により、寄生トランジスタが、ゲート対ソース電圧（及びドレイン対ソース電圧）がこの寄生トランジスタのスレッシュホールド電圧を超えると、P+領域8aと8b（即ち、V<sub>CC</sub>からパッド14a）の間において導通する。フィールド酸化物6a及び層間絶縁層12の厚さに起因し、且つ任意のチャンネルストップ注入により補強されるその下側の基板2の不純物濃度に起因して、このトランジスタのスレッシュホールド電圧が極めて高い値、例えば30Vの程度となることがある。パンチスルー電圧も極めて高いものと予測され、例えば20Vの程度である。

【0028】以下に説明する如く、本発明の目的のためには、接合ブレイクダウンが、本発明のこの実施例においてPNPバイポーラトランジスタ13がトリガされるのに好適なメカニズムである。従って、フィールド酸化物構成体6aに隣接するP+領域8aの境界が、より軽度ドーピングしたPウエル4aではなく、ESDイベントにおいてブレイクダウンが発生する接合を画定するものであることが望ましい（何故ならば、ブレイクダウン電圧は、一層軽度ドーピングした接合の場合には著しく高いからである）。このことは、本発明のこの実施例においては、Pウエル4a、4bの端部を、例えば少なくとも1.0μmだけ、フィールド酸化物6aの端部から充分

に離して位置させることにより達成されている。このような配置は、勿論、マスクしたウエルの注入により実施することが可能であり、又このようなウエルを形成するその他の多数の公知の技術のうちの任意の一つにより実施することが可能である。従って、Pウエル4a、4bは接合スパikingに対して充分な保護を与えるものであるが、P+領域8aにおける接合ブレイクダウン電圧に悪影響を与える程度に増加させるものではない。

【0029】上述した構成の例の場合、P+領域8aとNウエル3aとの間の接合、特にP+領域8aと注入領域7との間の接合である図2の位置25における接合において接合ブレイクダウン電圧は16Vの程度である。従って、このスレッシュホールド電圧を超えるV<sub>CC</sub>と相対的なパッド14a上の負の電圧はP+領域8aと基板102との間の導通を開始させる。従って、P+領域8a及びNウエル3a（注入領域7における）の接合におけるダイオード11は、本発明のこの実施例におけるバイポーラトランジスタ13を介しての高容量放電導通のためのトリガ装置として作用する。トリガ用電圧、即ち接合ブレイクダウン電圧は、領域7を形成する場合に使用されるN型チャンネルストップ注入ドーズにより選択することが可能である。

【0030】上述した如く、寄生Pチャンネルフィールド酸化物トランジスタのスレッシュホールド電圧は30Vの程度であり、且つパンチスルー電圧は20Vの程度である。従って、MOS導通又はパンチスルーのいずれかにより寄生トランジスタをターンオンさせるのに必要な電圧よりも低い電圧において接合ブレイクダウンが発生する。然しながら、本発明のこの実施例に基づく構成体が、MOSスレッシュホールド電圧又はパンチスルー電圧が接合ブレイクダウンよりも低い場合であっても（例えば、N型チャンネルストップ注入が実施されていない場合）、パッド14aにおいて負の極性のESDイベントを適切に放電することが意図されている。何故ならば、パンチスルーによるか又は反転されたチャンネルを介してのP+領域8a、8bの間の横方向導通が、通常、P+領域8aにおける電圧を接合ブレイクダウン電圧より低く維持するのに充分なものではなく、従って、ソース・ドレイン導通が存在する場合であっても、その接合は尚且つ究極的には位置25においてブレイクダウンする。フィールド酸化物トランジスタスレッシュホールド電圧及びパンチスルー電圧より低く接合ブレイクダウン電圧を設定することは保護回路の点火（開始）電圧を制御するために好適なものである一方、P+領域8a、8bの間のソース・ドレイン導通がESDイベント期間中にある量のエネルギーを安全に放電させるべく作用することが可能であり、従って、ある状態においては、好ましい場合がある。

【0031】バイポーラトランジスタ13がこの構成体内に設けられており、それはコレクタとしてのPウエル

4 a と、エミッタとしての P + 領域 8 b (及び P ウエル 4 b) と、ベースとしての N ウエル 3 a を有しており、P + 領域 8 a はコレクタコンタクトとして作用し且つ N + 領域 10 はベースコンタクトとして作用する。この構成体内には抵抗 9 も設けられており、それはエミッタ 8 b とベース 10 との間に直列接続されている。本発明によれば、抵抗 9 は、位置 25 における N ウエル 3 a と P + 領域 8 a との間の接合のブレイクダウン期間中に、バイポーラトランジスタ 13 のベースとエミッタとの間に電圧降下を与える。この電圧降下は基板 102 と P + 領域 8 b との間の接合を順方向バイアスするのに十分なものであることが意図されており、バイポーラトランジスタ 13 の双方向導通を開始させる。公知の如く、バイポーラ導通は、高速応答を有すると共に高い容量の導通を与え、且つそうであるから、ESD 保護回路においては魅力のあるメカニズムである。

【0032】本発明によれば、抵抗 9 の値を画定することによりバイポーラ (双極性) 導通が簡単化され且つ制御され、従ってそれは接合ブレイクダウンからの導通がバイポーラ導通を開始させるのに十分に高い値を有している。抵抗 9 の抵抗値は、主に、N ウエル 3 b の不純物濃度に依存している。何故ならば、その長さの殆どは、フィールド酸化物構成体 6 b 下側の N + 領域 10 と P + 領域 8 b との間のフィールド酸化物構成体 6 b を横断しての距離 d により決定されるからであり、N ウエル 3 a、3 b の間の P ウエル 4 b を横断しての距離は比較的短く、従って、基板 2 が N ウエル 3 b よりも一層軽度に加圧されている場合であっても、抵抗 9 の抵抗値に著しく影響を与えることはない。N ウエル 3 b が  $1 \times 10^{16}$  原子数 /  $\text{cm}^3$  の程度の不純物濃度を有している場合には、約 6.0  $\mu\text{m}$  の距離 d が 500  $\Omega$  の程度の抵抗値となる。

【0033】その結果、本発明の好適実施例に基づく構成体は、ESD 保護回路に対する点火 (開始) 電圧及びトリガ電流の両方の選択を行なうことを可能としている。点火電圧はフィールド酸化物 6 下側の N 型不純物により選択され、それはドープ領域 7 を形成しており且つ接合ブレイクダウン電圧を決定する。更に、バイポーラ導通をトリガするために必要な電流は、抵抗 9 の抵抗値により選択することが可能であり、且つフィールド酸化物構成体 6 b を横断しての距離 d により決定される。

【0034】次に、図 3、4 a、4 b を参照して、上述した ESD 保護回路のレイアウトの一例について説明する。図 4 a はメタリゼーション 14 a、14 b を形成する前のボンドパッド全体の位置を示している。公知の如く、好適には、機械的な強度を与えるためにフィールド酸化物 6 の上に金属ボンドパッドが形成される。本発明のこの実施例においては、ボンドパッド区域の中心にフィールド酸化物構成体 6 c が存在しており、P + 領域 8 a がその回りを取囲んでいる。図 2 に関して上述した如

く、フィールド酸化物 6 c の全周囲の回りにおいて P + 領域 8 a 内に P ウエル 4 a が設けられている。拡散領域 15 が、直列抵抗を形成するために、P + 領域 8 a から延在している。フィールド酸化物構成体 6 a が、抵抗 15 が延在する側部を除いて、P + 領域 8 a を取囲んでおり、チップ面積効率の目的のために、フィールド酸化物構成体 6 a を横断しての距離は、好適には、リークのための設計基準により設定されるものに対して最小とされる。P + 領域 8 b がフィールド酸化物構成体 6 a を取囲んでおり、(抵抗 15 の位置を除いて全ての側部において)、図 2 に示した如く、その中に P ウエル 4 b が形成されている。フィールド酸化物構成体 6 b が P + 領域 8 b を取囲んでおり、N + 領域 10 がフィールド酸化物構成体 6 b を取囲んでいる。

【0035】上述した如く、バイポーラトランジスタ 13 における抵抗 9 の値は、P + 領域 8 b を取囲むフィールド酸化物構成体 6 b を横断する距離 d により設定される。(即ち、N + 領域 10 のベースコンタクトと N + 領域 8 a に最も近い側部における P + 領域 8 b のエミッタコンタクトとの間の距離)。高い導電度の目的のためには、バイポーラトランジスタ 13 のベース領域の幅が最大であることが望ましい。更に、距離 d が比較的一様であり、従って電流クラウディングが発生することのある局所的に幅狭の経路が存在しないことが重要である。図 4 a に示した如く、ボンドパッドの角部における角度を 90 度から約 45 度へ減少させることにより長さ d の一様性が得られる。従って、フィールド酸化物構成体 6 b を横断して距離がボンドパッドの全体の回りにおいて実質的に距離 d に維持されており、その距離は 45 度の角部における d よりもより大きいものである場合がある。更に、角部における角度が 45 度以下であるこの構成は、構成体の全幅にわたるより一様な接合ブレイクダウンを与える。何故ならば、電界集中が 90 度の角部において発生するものと比較すると減少されているからである。更に、P + 領域 8 b の回りの周辺部を可及的に利用することにより、バイポーラトランジスタ 13 のベース幅が最大とされており、従ってトランジスタ 13 の導通能力が最大とされている。

【0036】次に、図 4 b を参照すると、金属ボンドパッド 14 a 及び金属電極 14 b を形成した後の図 4 a の構成が示されている。複数のコンタクト 18 a を介して金属ボンドパッド 14 a と P + 領域 8 a との間にコンタクトが形成されている。図 4 の領域 3 は図 3 に示した拡大図に対応している。コンタクト 18 a がパッド 14 a の周辺回りに分布されており、且つ、好適には、電流クラウディング効果を最小とするために長い長尺状のコンタクトではなく複数の正方形又は丸いコンタクトとして形成されている。

【0037】V<sub>CC</sub>へ接続されているメタリゼーション 14 b がパッド 14 a を取囲んでおり、且つその下側の P

+領域 8 b (不図示) への複数個のコンタクト 1 8 b を有すると共に、その下側の N+領域 1 0 (不図示) への複数個のコンタクト 1 8 c を有している。MOS 集積回路における入力パッドのこの例においては、コンタクトはパッド 1 4 a の片側における P 型拡散抵抗 1 5 へのメタリゼーション 1 4 c により形成されている。ポリシリコンジャンパ 1 9 がメタリゼーション 1 4 c へ接続されており、且つ N+領域 1 0 がその下側を延在することを可能としている。上述した如く、P 型拡散抵抗 1 5 はパッド 1 4 a と MOS トランジスタのゲートとの間に 1 k  $\Omega$  の程度の直列抵抗を提供しており、内部トランジスタのゲート絶縁膜の ESD イベントからの保護を与えている。

【0038】公知の如く、MOS トランジスタ用の出力バッファは、通常、ESD 保護のための直列抵抗を必要とするものではなく、これは、ドライバトランジスタにより与えられる大きな面積及びそれを介しての放電に対する大きな容量に起因するものであると考えられる。MOS 集積回路の入力は、速度のために、比較的小さな構成体へ接続されているので、回路を ESD イベントから保護するためには直列抵抗が通常必要とされている。このような抵抗は、1 k  $\Omega$  の程度であり、スイッチング入力に対し回路の応答に RC 遅延を挿入し、最近の回路の場合には、このような遅延は 0.25 ns の程度である場合がある。例えば高速スタチック RAM 等の高性能装置の場合には、このようなペナルティは極めて顕著なものである。ベースをボンドパッドの回りに完全に配置することにより最大とされている本発明のこの実施例に基づくバイポーラトランジスタ 1 3 の寸法及び容量 (能力) が、直列抵抗を取除くことを可能とする充分な ESD 能力を与え、従って ESD 保護の装置性能に与える影響を減少させることが意図されている。

【0039】図 3 は、特に、ESD 保護装置のこの実施例のレイアウトの一部を示しており、説明の便宜上、上側に存在するメタリゼーション 1 4 a、1 4 b の一部を切除している。図 4 から明らかな如く、図 3 に詳細に示した構成は、パッド 1 4 a の全ての 4 つの側部において存在している。

【0040】動作について説明すると、パッド 1 4 a は、 $V_{CC}$  と相対的にいずれの極性の ESD イベントに露呈することも可能である。 $V_{CC}$  と相対的に正極性の ESD イベントの場合においては、P+領域 8 a (及び P+ウエル 4 a) と N ウエル 3 a との間の PN 接合は順方向バイアスされ、且つ電流は安全に  $V_{CC}$  へ導通される。尚、その場合に、電流密度が集積回路のいずれの位置においても過剰なものでないよう適切なレイアウトの考察が計られているものと仮定する。

【0041】電源電圧  $V_{CC}$  と相対的にパッド 1 4 a へ印加される負の極性の電圧は、P+領域 8 a と、一方においては、P ウエル 4 a 及び他方においては N 型基板 2 と

の間の接合ダイオードを逆バイアスさせる。この極性の ESD イベントの場合においては、この接合における逆バイアス電圧が、特に注入領域 7 (存在する場合) に対して P+領域 8 a と N ウエル 3 a との間の接合において接合ブレイクダウンを発生させるのに充分な大きさへ迅速に増加する。1.2  $\mu m$  (フィールド酸化物構成体 6 a の幅) の程度の距離だけ互いに分離されており P+領域 8 a に対する  $V_{CC}$  へバイアスされている P+領域 8 b の近接度は、位置 2 5 (図 2 において) において、フィールド酸化物構成体 6 a に最も近い P+領域 8 a の端部において接合ブレイクダウンを発生させる。

【0042】公知の如く、アバランシェ型の PN 接合ブレイクダウンは、接合近くにおいての空間・電荷領域内に多数の電子-正孔対を発生する。これらの電子-正孔対は、正味の電流に影響を与え、電子は正にバイアスされた電極 (P+領域 8 b 及び P ウエル 4 b) へ向かって移動し、かつ正孔は負にバイアスした電極 (P+領域 8 a 及び P ウエル 4 a) へ、移動する。P+領域 8 b における接合と N+コンタクト領域 1 0 との間の距離にわたっての N 型基板 2 の抵抗値に起因して、N 型基板 2 内に電圧降下が発生する。フィールド酸化物構成体 6 b を横断しての距離 d の適切な選択は、この電圧降下が P+領域 8 b と基板 2 との間の接合を順方向バイアスさせることを確保する。公知の如く、コレクタ・ベース接合の逆バイアスと結合したエミッタ・ベース接合の順方向バイアスは、コレクタとエミッタとの間においてバイポーラ導通を発生させる。

【0043】上述した如く、この構成体においては PN トランジスタ 1 3 が存在しており、その場合 N 型基板 2 がベース (及び N+領域 1 0 がベースコンタクト) として考えられ、P+領域 8 b 及び P ウエル 4 b がエミッタとして考えられ、P ウエル 4 a がコレクタとして考えられる。従って、この PNP トランジスタ・エミッタ接合が順方向バイアスされる場合に、接合ブレイクダウン及び抵抗 9 (主に、N ウエル 3 b) を横断しての電圧降下により開始される導通に起因してこの横方向を PNP トランジスタ 1 3 のバイポーラ導通がコレクタ (P ウエル 4 a) とエミッタ (P+領域 8 b) との間において開始する。トランジスタ 1 3 のバイポーラ導通能力は、接合ブレイクダウンのものを著しく超えており、従ってパッド 1 4 a と接触している負の静電荷が充電した本体を安全に放電させる付加的な能力を与えている。

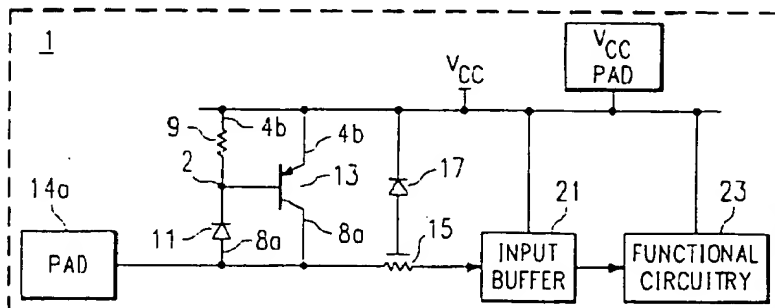
【0044】バイポーラ導通の期間中であっても、適切なレイアウトがなされていない場合には熱暴走が発生する場合がある。再度図 2 を参照すると、トランジスタ 1 3 のエミッタとして作用する P+領域 8 b がフィールド酸化物構成体 6 a の端部からセットバックされていることに注意すべきである。従って、エミッタ P+領域 8 b は、P+領域 8 b の導通度及び距離  $E_L$  に依存して、ある量の直列抵抗を有している。従って、距離  $E_L$  は、回

路に対する最小レイアウト基準よりも幾分大きなものであることが望ましい。例えば、設計基準が活性領域8bの端部の1.0  $\mu\text{m}$ 以内にこのようなコンタクトを設けることを排除する場合には、距離Eは4.0  $\mu\text{m}$ の程度とすることが可能である。このような構成により与えられる直列抵抗は、コレクタとエミッタとの間の直列抵抗を組込んでおり、従ってバイポーラ導通期間中に発生する「ホットスポット」の蓋然性を減少させており、熱暴走に対する保護を与えている。

【0045】従って、上述した本発明の好適実施例は、小さな特徴部寸法を有しており従ってESDイベントに対して影響されやすい集積回路においてESDに対し安全な導通経路を与えている。特に、本発明は、直列ベース抵抗を選択することを可能としており、従ってバイポーラ導通を開始させるのに必要な接合ブレイクダウンからのトリガ電流のレベルを制御することを可能としている。本発明の好適実施例によれば、ベース抵抗をその幅にわたって一様にさせることが可能であり、バイポーラ導通を排除することがある電流クラウディングを回避している。さらに、ベース領域の幅は、ボンドパッド端子の複数の側部上にバイポーラトランジスタを設けることにより、本発明に基づいて最大なものとしている。

【0046】本好適実施例の付加的な特徴は更なる利点を与えている。フィールド酸化物下側のチャンネルストップ乃至はパンチスルー注入は、トリガ用装置の接合ブレイクダウン電圧、従ってバイポーラトランジスタの点火（開始）電圧を選択するために使用することが可能である。高度にドーピングした領域内にウエルを設け、金属スパイクに起因する接合リークに対する保護をはかり、且つさらに保護装置の既成接合容量を減少させることにより、別の利点を得ることが可能である。バイポーラトランジスタ内に直列エミッタ抵抗を組込むことが可能であり、それにより、バイポーラ導通期間中において、局所化されたホットスポット及び熱暴走の蓋然性を減少させている。コレクタ、ベース及びエミッタ領域への直接的な金属接続が、更に、低い直接抵抗を与えてお

【図1】



り、従って最小の抵抗加熱で良好な導通を与えている。

【0047】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の第一の好適実施例に基づくESD保護構成を示した概略図。

10 【図2】 本発明の第一の好適実施例に基づいて構成された装置を示した概略断面図。

【図3】 上側に存在するメタリゼーションを介して部分的に断面をとって示した図2の装置の一部概略平面図。

【図4a】 製造過程における一段階においての本発明の好適実施例に基づいて構成された装置を組込んだボンドパッドを示した概略平面図。

【図4b】 製造過程における一段階においての本発明の好適実施例に基づいて構成された装置を組込んだボンドパッドを示した概略平面図。

【図5a】 従来のESD保護装置を示した概略断面図。

【図5b】 図5aに示した従来のESD保護装置の電気的構成を示した概略回路図。

【符号の説明】

- 1 集積回路
- 2 基板
- 3 ウエル
- 6 フィールド酸化物構成体
- 9 抵抗
- 11 ダイオード
- 11 トランジスタ
- 14a パッド
- 15 直列抵抗
- 21 入力バッファ

【図4a】

